

---

DERWENT-ACC-NO: 1996-109687

DERWENT-WEEK: 200324

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Semiconductor memory device - has bit line division  
switching circuit to divide global bit line according to  
transmitted data line

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ]

PRIORITY-DATA: 1994JP-0120306 (June 1, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 3393923 B2	April 7, 2003	N/A	011 G11C
011/401			
JP 07326186 A	December 12, 1995	N/A	012 G11C
011/401			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 3393923B2	N/A	1994JP-0120306	June 1, 1994
JP 3393923B2	Previous Publ.	JP 7326186	N/A
JP 07326186A	N/A	1994JP-0120306	June 1, 1994

INT-CL (IPC): G11C011/401

ABSTRACTED-PUB-NO: JP 07326186A

## BASIC-ABSTRACT:

~~The memory includes two or more bit line division switching circuits~~

(SW1,SW2),

corresponding to two or more **global and segment bit lines**

(GBL1,ZGBL1,SBL2,ZSBL2). A division position is specified in the **global bit**

**line** and the bit line division device divides the global bit line.

The bit line division switching circuit specifies the division point on the **global bit line** according to the length of transmitted data.

ADVANTAGE - Reduces power consumption and influence from noise.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: SEMICONDUCTOR MEMORY DEVICE BIT LINE  
DIVIDE SWITCH CIRCUIT DIVIDE

GLOBE BIT LINE ACCORD TRANSMIT DATA LINE

DERWENT-CLASS: U13 U14

EPI-CODES: U13-C04; U14-C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1996-091943

特開平7-326186

(43)公開日 平成7年(1995)12月12日

(51) Int.Cl.<sup>6</sup>  
G 1 1 C 11/401

識別記号 庁内整理番号

FI

### 技術表示箇所

G 1 1 C 11/ 34

**3 6 2 B**

審査請求 未請求 請求項の数5 OL (全 12 頁)

(21)出願番号 特願平6-120306

(22)出願日 平成6年(1994)6月1日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)發明者 有本 和民

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

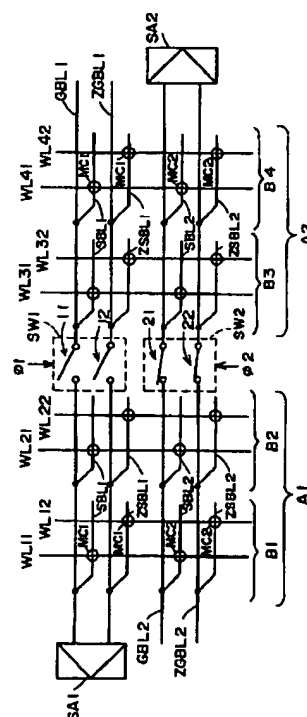
(74)代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 階層ビット線構造を備えた半導体記憶装置における動作マージンの向上および消費電流の低減を目的とする。

【構成】 グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2のそれぞれの中央部にビット線分割スイッチ回路SW1およびSW2が設けられる。ビット線分割スイッチ回路SW1およびSW2の各々は、対応するグローバルビット線対における分割位置よりも、対応するセンスアンプSA1またはSA2の側に接続されるセグメントビット線対SBL1、ZSBL1またはSBL2、ZSBL2からのデータの伝達が行なわれる場合に、対応するグローバルビット線対を分割する。



## 【特許請求の範囲】

【請求項1】 所定の分割位置での分割可能に設けられた主ビット線対と、

前記主ビット線対に接続される複数の副ビット線対と、  
前記複数の副ビット線対のそれぞれに対応して接続された複数のメモリセルと、  
前記主ビット線対の一端に接続され、その主ビット線対の電位差を検知し増幅するためのセンスアンプ手段と、

前記主ビット線対を前記分割位置で分割するためのビット線分割手段とを備え、  
前記ビット線分割手段は、前記主ビット線対における分割位置よりも前記一端側に接続される副ビット線対から前記メモリセルのデータの伝達が行なわれる場合に、前記主ビット線対を分割する、半導体記憶装置。

【請求項2】 所定の分割位置での分割可能に延在された第1の主ビット線対と、

前記第1の主ビット線対に沿って延在され、所定の分割位置での分割が可能な第2の主ビット線対と、

前記第1の主ビット線対に接続される複数の第1の副ビット線対と、

前記第2の主ビット線対に接続される複数の第2の副ビット線対と、

前記第1および第2の副ビット線対に交差するように設けられた複数のワード線と、

前記複数の第1および第2の副ビット線対と前記複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する副ビット線対およびワード線に接続される複数のメモリセルと、

前記第1および第2の主ビット線対の延在方向の一端側において前記第1の主ビット線対に接続され、その第1の主ビット線対の電位差を検知し増幅するための第1のセンスアンプ手段と、

前記第1および第2の主ビット線対の延在方向の他方端側において前記第2の主ビット線対に接続され、その第2の主ビット線対の電位差を検知し増幅するための第2のセンスアンプ手段と、

前記第1の主ビット線対を、その分割位置で分割するための第1のビット線分割手段と、

前記第2の主ビット線対を、その分割位置で分割するための第2のビット線分割手段とを備え、

前記第1および第2のビット線分割手段の各々は、対応する主ビット線対における分割位置よりも対応するセンスアンプ手段に近い側に接続される副ビット線対に接続される前記メモリセルが選択された場合に、対応する主ビット線対を分割する、半導体記憶装置。

【請求項3】 前記第1の主ビット線対と前記第1のセンスアンプ手段との間に設けられ、前記第1のセンスアンプ手段による前記電位差の増幅動作時に前記第1の主ビット線対と前記第1のセンスアンプ手段との接続を切

離するための第1のスイッチ手段と、

前記第2の主ビット線対と前記第2のセンスアンプ手段との間に設けられ、前記第2のセンスアンプ手段による前記電位差の差動増幅器時に前記第2の主ビット線対と前記第2のセンスアンプ手段との接続を切離すための第2のスイッチ手段とをさらに備えた、請求項2記載の半導体記憶装置。

【請求項4】 所定の分割位置での分割可能に延在された第1の主ビット線対と、

前記第1の主ビット線対に沿って延在され、所定の分割位置での分割が可能な第2の主ビット線対と、

前記第1の主ビット線対に接続される複数の第1の副ビット線対と、

前記第2の主ビット線対に接続される複数の第2の副ビット線対と、

前記第1および第2の副ビット線対に交差するように設けられた複数のワード線と、

前記複数の第1のビット線対と前記複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する第1の副ビット線対およびワード線に接続される複数の第1のメモリセルと、

前記複数の第2の副ビット線対と前記複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する第2の副ビット線対およびワード線に接続される複数の第2のメモリセルとを備え、

1つの前記ワード線に接続される前記第1および第2のメモリセルは、一方がアクセスの対象とされ、かつ、他方がリフレッシュの対象とされるようになっており、  
前記第1および第2の主ビット線対の延在方向の一端側に設けられ、それらの主ビット線対の一方の電位差を検知し増幅するための第1のセンスアンプ手段と、

前記第1および第2の主ビット線対の延在方向の他方端側に設けられ、それらの主ビット線対の一方の電位差を検知し増幅するための第2のセンスアンプ手段と、

前記第1の主ビット線対を、その分割位置で分割するための第1のビット線分割手段と、

前記第2の主ビット線対を、その分割位置で分割するための第2のビット線分割手段とを備え、

前記第1および第2のビット線分割手段の各々は、対応する主ビット線対にアクセス対象のメモリセルが接続される場合にその主ビット線対を分割するようになっており、

前記第1のセンスアンプ手段に対応して設けられ、その第1のセンスアンプ手段と前記第1および第2の主ビット線対の前記一端側とを選択的に接続する第1のスイッチ手段と、

前記第2のセンスアンプ手段に対応して設けられ、その第2のセンスアンプ手段と前記第1および第2の主ビット線対の前記他方端側とを選択的に接続する第2のスイッチ手段とを備え、

前記第1および第2のスイッチ手段は、一方が、アクセス対象のメモリセルが接続される分割された主ビット線対と、対応するセンスアンプ手段とを接続し、他方が、リフレッシュ対象のメモリセルが接続される主ビット線対と、対応するセンスアンプ手段とを接続する、半導体記憶装置。

【請求項5】 前記第1のセンスアンプ手段の動作時期と、前記第2のセンスアンプ手段の動作時期とを異ならせた、請求項4記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体記憶装置に関し、特に、メモリセルが接続される副ビット線と、センスアンプへこの副ビット線上の信号電位を伝達する主ビット線とを含む階層ビット線構成を備える半導体記憶装置に関する。

【0002】

【従来の技術】半導体記憶装置においては、複数の配線層を用いてビット線を階層化した階層ビット線を備えたものがある。

【0003】このような階層ビット線は、メモリセルに接続される副ビット線（以下セグメントビット線という）と、その副ビット線が接続される主ビット線（以下グローバルビット線という）とを含む。グローバルビット線とセグメントビット線とは、異なる配線層に形成される。

【0004】図5は、階層ビット線を備えた従来の半導体記憶装置の要部の構成を示す模式的回路図である。

【0005】図5を参照して、この半導体記憶装置は、メモリセルMC1、MC1、…およびMC2、MC2、…、ワード線WL11、WL12、…、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2、セグメントビット線対SBL1、ZSBL1、…およびSBL2、ZSBL2、…、センスアンプSA1およびSA2を含む。

【0006】グローバルビット線対GBL1、ZGBL1は、一列に配列されたメモリセルMC1、MC1、…に対応して延在される。グローバルビット線対GBL2、ZGBL2も同様に、一列に配設されたメモリセルMC2、MC2、…に対応して延在される。

【0007】グローバルビット線対GBL1、ZGBL1に対応してセンスアンプSA1が設けられ、グローバルビット線対GBL2、ZGBL2に対応してセンスアンプSA2が設けられる。これらのセンスアンプSA1およびSA2の各々は、たとえば、ゲートとドレインとが交差結合された2つのNMOSTランジスタと、ゲートとドレインとが交差結合された2つのPMOSTランジスタとを有するものである（図示せず）。

【0008】センスアンプSA1は、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2

の延在方向の一端に配置され、グローバルビット線対GBL1、ZGBL1の電位差を検知し増幅する。センスアンプSA2は、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2の延在方向の他方に配置され、グローバルビット線対GBL2、ZGBL2の電位差を検知し増幅する。

【0009】メモリセルMC1、…およびMC2、…は、複数（たとえばN個）のブロックB1、B2、…BNに分割される。それらのブロックB1～BNの各々において、セグメントビット線対SBL1、ZSBL1およびSBL2、ZSBL2が配置される。

【0010】セグメントビット線対SBL1、ZSBL1は、グローバルビット線対GBL1、ZGBL1に接続される。セグメントビット線対SBL2、ZSBL2は、グローバルビット線対GBL2、ZGBL2に接続される。

【0011】1つのメモリセルのブロックB1に着目すると、グローバルビット線GBL1、ZGBL1およびGBL2、ZGBL2のそれぞれと交差するようにワード線WL11およびWL12が配置される。また、メモリセルMC1およびMC2は、ワード線WL11およびWL12と、セグメントビット線対SBL1、ZSBL1およびSBL2、ZSBL2との交差部にそれぞれ配置される。

【0012】具体的には、ワード線WL11とセグメントビット線BL1との交差部およびワード線WL12とセグメントビット線ZBL1との交差部のそれぞれに対応してメモリセルMC1が配置される。また、ワード線WL11とセグメントビット線SBL2との交差部およびワード線WL12とセグメントビット線ZBL2との交差部のそれぞれに対応してメモリセルMC2が配置される。

【0013】次に、図5の半導体記憶装置の動作について説明する。選択されたワード線WL（ワード線WL11、WL12、…の総称）が活性化されると、そのワード線WLに接続されたメモリセルMC（メモリセルMC1、…およびMC2、…の総称）の記憶情報が、対応するセグメントビット線SBL（セグメントビット線SBL1、ZSBL1、…の総称）を介して、対応するグローバルビット線GBL（グローバルビット線GBL1、ZGBL1、GBL2およびZGBL2の総称）に伝達される。

【0014】階層化されていないビット線を備えた従来の半導体記憶装置においては、メモリセルの1ブロックごとにセンスアンプが設けられていた。しかし、図5のような半導体記憶装置においては、ビット線を階層化したことにより、センスアンプをグローバルビット線対ごとに設けるだけで済む。

【0015】したがって、階層ビット線を備えた半導体記憶装置においては、センスアンプの数を大幅に減少さ

せることができるという利点がある。

【0016】

【発明が解決しようとする課題】しかし、前述のような従来の階層ビット線を備えた半導体記憶装置では、グローバルビット線対の全長が長い。このため、各グローバルビット線対の寄生容量およびグローバルビット線間の線間容量が大きくなるという欠点があった。

【0017】また、このように容量が増加すると、グローバルビット線にノイズが乗ることによる動作マージンの劣化およびグローバルビット線の充放電における消費電流の増加が生じるという問題があった。

【0018】このような問題を解決する方法としては、グローバルビット線の厚み（膜厚）を薄くしてグローバルビット線の線間容量を減少させることが考えられる。しかし、そのような方法を用いると、グローバルビット線の抵抗値が大きくなり、これによって、読出および書込における動作マージンを劣化させるという問題が生じる。したがって、そのような方法は、妥当なものではない。

【0019】この発明は、このような問題を解決するためになされたものである。この発明の目的は、動作マージンを向上させることが可能な、階層ビット線を備えた半導体記憶装置を提供することである。

【0020】この発明の他の目的は、消費電流を低減することが可能な、階層ビット線を備えた半導体記憶装置を提供することである。

【0021】

【課題を解決するための手段】請求項1に記載の本発明は、半導体記憶装置であって、主ビット線対、複数の副ビット線対、複数のメモリセル、センスアンプ手段およびビット線分割手段を備える。

【0022】主ビット線対は、所定の分割位置での分割可能に設けられる。複数の副ビット線対は、主ビット線対に接続される。複数のメモリセルは、複数の副ビット線対のそれぞれに対応して接続される。センスアンプ手段は、主ビット線対の一方端に接続され、その主ビット線対の電位差を検知し増幅する。

【0023】ビット線分割手段は、主ビット線対を分割位置で分割する。このビット線分割手段は、主ビット線対における分割位置よりも主ビット線対の一方端側に接続される副ビット線対からメモリセルのデータの伝達が行なわれる場合に、主ビット線対を分割する。

【0024】請求項2に記載の本発明は、半導体記憶装置であって、第1および第2の主ビット線対、第1および第2の複数の副ビット線対、複数のワード線、複数のメモリセル、第1および第2のセンスアンプ手段、第1および第2のビット線分割手段を備える。

【0025】第1の主ビット線対は、所定の分割位置での分割可能に延在される。第2の主ビット線対は、第1の主ビット線対に沿って延在され、所定の分割位置での

分割可能とされる。

【0026】複数の第1の副ビット線対は、第1の主ビット線対に接続される。複数の第2の副ビット線対は、第2の主ビット線対に接続される。複数のワード線は、第1および第2の副ビット線対に交差するように設けられる。

【0027】複数のメモリセルは、複数の第1および第2の副ビット線対と、複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する副ビット線対およびワード線に接続される。

【0028】第1のセンスアンプ手段は、第1および第2の主ビット線対の延在方向の一方端側において第1の主ビット線対に接続され、その第1の主ビット線対の電位差を検知し増幅する。

【0029】第2のセンスアンプ手段は、第1および第2の主ビット線対の延在方向の他方端側において第2の主ビット線対に接続され、その第2の主ビット線対の電位差を検知し増幅する。

【0030】第1のビット線分割手段は、第1の主ビット線対を、その分割位置で分割する。第2のビット線分割手段は、第2の主ビット線対を、その分割位置で分割する。

【0031】これらの第1および第2のビット線分割手段の各々は、対応する主ビット線対における分割位置よりも、対応するセンスアンプ手段に近い側に接続される副ビット線対に接続されるメモリセルが選択された場合に、対応する主ビット線対を分割する。

【0032】請求項3に記載の本発明は、請求項2に記載の発明に、第1および第2のスイッチ手段をさらに備える。

【0033】第1のスイッチ手段は、第1の主ビット線対と第1のセンスアンプ手段との間に設けられ、第1のセンスアンプ手段による電位差の増幅動作時に第1の主ビット線対と第1のセンスアンプ手段との接続を切離す。

【0034】第2のスイッチ手段は、第2の主ビット線対と第2のセンスアンプ手段との間に設けられ、第2のセンスアンプ手段による電位差の増幅動作時に第2の主ビット線対と第2のセンスアンプ手段との接続を切離す。

【0035】請求項4に記載の本発明は、半導体記憶装置であって、第1および第2の主ビット線対、第1および第2の複数の副ビット線対、複数のワード線、複数の第1および第2のメモリセル、第1および第2のセンスアンプ手段、第1および第2のビット線分割手段、第1および第2のスイッチ手段を備える。

【0036】第1の主ビット線対は、所定の分割位置での分割可能に延在される。第2の主ビット線対は、第1のビット線対に沿って延在され、所定の分割位置での分割可能とされる。

【0037】複数の第1の副ビット線対は、第1の主ビット線対に接続される。複数の第2の副ビット線対は、第2の主ビット線対に接続される。複数のワード線は、第1および第2の副ビット線対に交差するように設けられる。

【0038】複数の第1のメモリセルは、複数の第1の副ビット線対と複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する第1の副ビット線対およびワード線に接続される。

【0039】複数の第1のメモリセルは、複数の第2の副ビット線対と複数のワード線との交差部のそれぞれに対応して設けられ、各々が、対応する第2の副ビット線対およびワード線に接続される。

【0040】1つのワード線に接続される第1および第2のメモリセルは、一方がアクセスの対象とされ、かつ、他方がリフレッシュの対象とされるようになっている。

【0041】第1のセンスアンプ手段は、第1および第2の主ビット線対の延在方向の一方端側に設けられ、それらの主ビット線対の一方の電位差を検知し増幅する。第2のセンスアンプ手段は、第1および第2の主ビット線対の延在方向の他方端側に設けられ、それらの主ビット線対の一方の電位差を検知し増幅する。

【0042】第1のビット線分割手段は、第1の主ビット線対を、その分割位置で分割する。第2のビット線分割手段は、第2の主ビット線対を、その分割位置で分割する。第1および第2のビット線分割手段の各々は、対応する主ビット線対にアクセス対象のメモリセルが接続される場合にその主ビット線対を分割するようになっている。

【0043】第1のスイッチ手段は、第1のセンスアンプ手段に対応して設けられ、その第1のセンスアンプ手段と第1および第2の主ビット線対の一方端とを選択的に接続する。第2のスイッチ手段は、第2のセンスアンプ手段に対応して設けられ、その第2のセンスアンプ手段と第1および第2の主ビット線対の他方端とを選択的に接続する。

【0044】これらの第1および第2のスイッチ手段は、一方が、アクセス対象のメモリセルが接続される分割された主ビット線対と、対応するセンスアンプ手段とを接続し、他方が、リフレッシュ対象のメモリセルが接続される主ビット線対と、対応するセンスアンプ手段とを接続する。

【0045】請求項5に記載の本発明は、請求項4に記載の発明において、第1のセンスアンプ手段動作時期と、第2のセンスアンプ手段の動作時期とが異なることを特徴とする。

【0046】

【作用】請求項1に記載の本発明によれば、主ビット線対における分割位置よりもセンスアンプ手段側の一方端

側に接続される副ビット線対から、メモリセルのデータの伝達が行なわれる第1の状態の場合は、ビット線分割手段によって主ビット線対が分割される。逆に、主ビット線対の他方端側に接続される副ビット線対からメモリセルのデータの伝達が行なわれる第2の状態の場合は、主ビット線対が分割されない。

【0047】このように、第1の状態においては、主ビット線対が分割されるため、その場合の主ビット線対の容量は、分割されない場合よりも小さくなる。したがって、その場合には、主ビット線対の充放電による消費電流が減少し、主ビット線対の線間容量に起因するノイズの影響を受けにくくなる。

【0048】請求項2に記載の本発明によれば、第1および第2の主ビット線対の各々においては、主ビット線対における分割位置よりも、センスアンプ手段側である一方端側に接続される副ビット線対からメモリセルのデータの伝達が行なわれる場合は、ビット線分割手段によって主ビット線対が分割される。

【0049】逆に、主ビット線対の他方端側に接続される副ビット線対からメモリセルのデータの伝達が行なわれる場合は、主ビット線対が分割されない。

【0050】したがって、1つのワード線が選択された場合に、第1および第2の主ビット線対の一方が分割される。このように、どちらか一方の主ビット線対が分割されるため、第1および第2の主ビット線対の各々の容量は、分割された場合において、分割されない場合よりも小さくなる。

【0051】そして、一方の主ビット線対が分割されて容量が小さくなることにより、第1の主ビット線対と第2の主ビット線対との間の線間容量も小さくなる。したがって、隣り合う主ビット線対を1つの単位とした場合、その単位の消費電流が減少し、線間容量に起因するノイズの影響を受けにくくなる。その結果、動作マージンを向上し得る。

【0052】請求項3に記載の本発明によれば、第1および第2の主ビット線対は、一方が分割されている場合に、他方が分割されない。このため、対応するセンスアンプ手段により第1および第2の主ビット線対の電位差が増幅される際には、これらの主ビット線対の線間容量が異なる。

【0053】しかし、第1および第2のセンスアンプ手段による増幅が行なわれる際に第1および第2のスイッチ手段のそれぞれによって、第1および第2の主ビット線対のと第1および第2のスイッチ手段との対応するものが切離される。

【0054】このため、第1および第2のセンスアンプ手段のそれぞれは、増幅動作時にビット線容量の影響を受けない。したがって、第1および第2のセンスアンプ手段の増幅動作時の読出マージンを、第1および第2の主ビット線対の間で異ならなくし得る。

【0055】請求項4に記載の本発明によれば、第1および第2のビット線分割手段の各々は、対応する主ビット線対に接続されるメモリセルが、アクセス対象のものである場合に、その主ビット線対を分割する。このため、分割された主ビット線対の容量が小さくなる。一方、対応する主ビット線対に接続されるメモリセルがリフレッシュ対象のものである場合には、その主ビット線対は分割されない。

【0056】そして、分割された主ビット線対のうち、アクセス対象のメモリセルからのデータが伝達されるものは、第1および第2のスイッチ手段の一方のものによって、そのスイッチ手段に対応するセンスアンプ手段と接続される。一方、分割されてない主ビット線対は、第1および第2のスイッチ手段の他方のものによって、そのスイッチ手段に対応するセンスアンプ手段と接続される。

【0057】分割された主ビット線対に伝達されたアクセス対象のメモリセルのデータは、第1および第2のセンスアンプ手段のうち、そのメモリセルから近いものに伝達される。一方、分割されていない主ビット線対に伝達されたリフレッシュ対象のメモリセルのデータは、第1および第2のセンスアンプ手段のうち、そのメモリセルから遠いものに伝達される。

【0058】したがって、アクセス対象のメモリセルのデータは、リフレッシュ対象のメモリセルのデータよりも早くセンスアンプ手段に伝達される。リフレッシュ対象のメモリセルのデータは、伝達速度が遅くても特に問題にはならない。

【0059】請求項5に記載の本発明によれば、第1のセンスアンプ手段の動作時期と、第2のセンスアンプ手段の動作時期とが異なる。このため、たとえば、アクセス対象のメモリセルのデータが伝達される主ビット線対の増幅動作が、リフレッシュ対象のメモリセルのデータが伝達される主ビット線対の増幅動作よりも先に行なわれる場合には、後に増幅される対象の主ビット線対が、先に増幅される対象の主ビット線対のノイズシールドの役割を果たす。

【0060】その理由は、後に増幅される対象の主ビット線対が、先に増幅される対象の主ビット線対の増幅中にフローティング状態となるからである。

【0061】

【実施例】次に、この発明の実施例を図面に基づいて詳細に説明する。

【0062】第1実施例

まず、第1実施例について説明する。この第1実施例では、グローバルビット線を分割可能に設けた例について説明する。

【0063】図1は、第1実施例による階層ビット線を備えた半導体記憶装置の要部の構成を示す模式的回路図である。この図1において図5と共通するものには同一

の参照符号を付しその説明を省略する。

【0064】図1の半導体記憶装置が図5のものと異なるのは、グローバルビット線対GBL1、ZGBL1を分割するためのビット線分割スイッチ回路SW1と、グローバルビット線対GBL2、ZGBL2を分割するためのビット線分割スイッチ回路SW2とが設けられていることである。

【0065】ビット線分割スイッチ回路SW1は、グローバルビット線対GBL1、ZGBL1の延在方向の中央部に設けられる。ビット線分割スイッチ回路SW2は、グローバルビット線対GBL2、ZGBL2の延在方向の中央部に設けられる。メモリセルのブロックB1～B4は、ビット線分割スイッチ回路SW1およびSW2の存在位置を境界として、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2の延在方向に2つのエリアA1およびA2に分けられる。

【0066】ビット線分割スイッチ回路SW1は、スイッチ11および12を含む。スイッチ11は、グローバルビット線GBL1に設けられ、スイッチ12は、グローバルビット線ZGBL1に設けられる。これらのスイッチ11および12は、そのオンオフ動作をともにする。

【0067】ビット線分割スイッチ回路SW2は、スイッチ21および22を含む。スイッチ21は、グローバルビット線GBL2に設けられ、スイッチ22はグローバルビット線ZGBL2に設けられる。これらのスイッチ21および22は、そのオンオフ動作をともにする。

【0068】ビット線分割スイッチ回路SW1は、所定の制御回路から出力される制御信号φ1に応答して動作する。ビット線分割スイッチ回路SW2は、所定の制御回路から出力される制御信号φ2に応答して動作する。これらの制御信号φ1およびφ2により、ビット線分割スイッチ回路SW1およびSW2は、一方がオンさせられる場合に、他方がオフさせられる。すなわち、一方のグローバルビット線対が分割され、他方のグローバルビット線対が分割されない。

【0069】ビット線分割スイッチ回路SW1は、エリアA1に存在するメモリセルMC1が選択された場合にオフさせられ、エリアA2に存在するメモリセルMC1が選択された場合にオンさせられる。ビット線分割スイッチ回路SW2は、エリアA2に存在するメモリセルMC2が選択された場合にオフさせられ、エリアA1に存在するメモリセルMC2が選択された場合にオンさせられる。

【0070】すなわち、ビット線分割スイッチ回路SW1およびSW2の各々は、選択されたメモリセルが、そのビット線分割スイッチ回路よりも、対応するセンスアンプに近いエリアにある場合にオフされ、一方、選択されたメモリセルが、そのビット線分割スイッチ回路よりも、対応するセンスアンプに遠いエリアにある場合にオ



ンされる。

【0071】次に、図1の半導体記憶装置の動作について説明する。たとえば、ワード線WL11が活性化されると、ブロックB1において、そのワード線WL11に接続されるメモリセルMC1およびMC2がそれぞれ選択される。

【0072】このため、選択されたメモリセルMC1およびMC2のそれぞれの記憶データが、対応するセグメントビット線SBL1およびSBL2を介してグローバルビット線GBL1およびGBL2にそれぞれ伝達される。これにより、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2のそれぞれに電位差が生じる。

【0073】この場合は、ビット線分割スイッチ回路SW1のスイッチ11および12がともにオフし、ビット線分割スイッチ回路SW2のスイッチ21および22がともにオンする。

【0074】これにより、分割されたグローバルビット線対GBL1、ZGBL1の電位差がセンスアンプSA1によって検知されて増幅され、一方、分割されていないグローバルビット線対GBL2、ZGBL2の電位差がセンスアンプSA2によって検知されて増幅される。

【0075】このように、この場合には、エリアA2のグローバルビット線対GBL1、ZGBL1が使用されない。そのほかのワード線が選択された場合にも、このような動作と同様の原理での動作が行なわれる。したがって、隣り合うグローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2は、動作において、常に一方が分割されることになる。

【0076】次に、以上のような動作が行なわれる場合の図1の半導体記憶装置における容量について説明する。

【0077】図2は、図1の半導体記憶装置における動作時の容量の状態を示す模式図である。この図2には、代表例として、グローバルビット線対GBL1、ZGBL1が分割された状態を示す。

【0078】この図2においては、グローバルビット線対GBL1、ZGBL1の間の固有の線間容量C1、グローバルビット線対GBL2、ZGBL2の間の固有の線間容量C2およびグローバルビット線対GBL1、ZGBL1と、グローバルビット線対GBL2、ZGBL2との線間容量C3が示される。

【0079】ここでは、分割されていない状態におけるグローバルビット線対の間の固有の線間容量をたとえば $C_{BB}$ と仮定し、ともに分割されていない状態における隣り合う2対のグローバルビット線対の間の容量をたとえば $C_{BB}$ と仮定する。このような仮定の下に以下の説明を行なう。

【0080】前述した仮定の下で、隣り合う2対のグローバルビット線対がともに分割されない従来の半導体記

憶装置の場合を考えると、隣り合う2対のグローバルビット線対の各々の実際の線間容量は、隣り合う2対のビット線対の間の容量 $C_{BB}$ の存在により、 $2C_{BB}$ となる。

【0081】これに対し、図1の半導体記憶装置では、線間容量C1～C3が図に示されるような値になる。すなわち、線間容量C1が $1/2C_{BB}$ となり、線間容量C3が $1/2C_{BB}$ となる。それは、この場合にグローバルビット線対GBL1、ZGBL1が $1/2$ の長さに分割されたためである。また、この場合は、グローバルビット線対GBL2、ZGBL2が分割されないため、線間容量C2は、 $C_{BB}$ である。

【0082】この場合、グローバルビット線対GBL1、ZGBL1の容量が元の容量の $1/2$ になり、グローバルビット線対GBL2、ZGBL2の容量は元のままである。このため、これらの隣合うグローバルビット線対を1単位とした場合の消費電流は、従来のものの場合の $3/4$ の値になる。

【0083】この場合のグローバルビット線対GBL1、ZGBL1の実際の線間容量は、 $C_{BB}$ となる。一方、この場合のグローバルビット線対GBL2、ZGBL2の間の線間容量は、 $3/2C_{BB}$ となる。

【0084】このように、図1に示される半導体記憶装置においては、従来のものと比べて、グローバルビット線対の消費電流を低減できる。さらに、従来のものと比べて、グローバルビット線対の線間容量を減少することができ、線間容量によるカップリングノイズも減少し、動作マージンを向上させることができる。

【0085】第2実施例

次に、第2実施例について説明する。この第2実施例においては、第1実施例に示されるような階層ビット線の構成をラッチ型センスアンプを備えた半導体記憶装置に適用した例について説明する。

【0086】図1の半導体記憶装置では、グローバルビット線対GBL1、ZGBL1およびGBL2、ZGBL2の一方が分割されることにより、これらの2対のビット線対の容量が異なる状態が生じる。このように容量が異なると、グローバルビット線対GBL1、ZGBL1の側と、グローバルビット線対GBL2、ZGBL2の側とで読出マージンが異なる状態が生じる場合がある。

【0087】この第2実施例では、グローバルビット線対GBL1、ZGBL1と、グローバルビット線対GBL2、ZGBL2との間の読出マージンの差を減少させる例について説明する。

【0088】図3は、第2実施例による階層ビット線を備えた半導体記憶装置の要部の構成を示す模式的回路図である。この図3において図1と共通する部分には同一の参照符号を付し、その説明を省略する。

【0089】図3を参照して、図3の半導体記憶装置が図1のものと異なるのは、接続制御スイッチT11、T

13

12, T21およびT22が設けられていることである。これらの接続制御スイッチの各々は、NMOSトランジスタで構成される。センスアンプSA10およびSA20の各々は、ラッチ型センスを行なうためのものであり、交差結合されたMOSTランジスタで構成される。

【0090】接続制御スイッチT11は、センスアンプSA10と、グローバルビット線GBL1との間に接続される。接続制御スイッチT12は、センスアンプSA10と、グローバルビット線ZGBL1との間に接続される。接続制御スイッチT11およびT12の各々は、ゲートに制御信号φ3を受け、その制御信号φ3にตอบสนองしてスイッチング動作をする。

【0091】接続制御スイッチT21は、センスアンプSA20と、グローバルビット線GBL2との間に接続される。接続制御スイッチT22は、センスアンプSA20とグローバルビット線ZGBL2との間に接続される。接続制御スイッチT21およびT22の各々は、ゲートに制御信号φ4を受け、その制御信号φ4にตอบสนองしてスイッチング動作をする。

【0092】次に、図3の半導体記憶装置の動作について説明する。ここでは、たとえば、ワード線WL11が活性化された場合を考える。この場合には、ワード線WL11に接続されるメモリセルMC1およびMC2のそれぞれの記憶データが、セグメントビット線SBL1およびSBL2を介してグローバルビット線対GBL1, ZGBL1およびGBL2, ZGBL2にそれぞれ伝達される。

【0093】この状態においては、制御信号φ3およびφ4はともにHレベルにあり、このため、接続制御スイッチT11, T12, T21およびT22はそれぞれオン状態を維持している。このため、グローバルビット線対GBL1, ZGBL1に伝達されたデータがセンスアンプSA10へ伝達される。それとともに、グローバルビット線対GBL2, ZGBL2へ伝達されたデータがセンスアンプSA20に伝達される。

【0094】このように選択されたメモリセルのデータがセンスアンプSA10およびSA20のそれぞれに伝達されると、制御信号φ3およびφ4がともにLレベルに立下がる。これにより、接続制御スイッチT11, T12, T21およびT22はそれぞれオフ状態となる。この状態で、センスアンプSA10およびSA20がセンス動作を実行する。

【0095】このセンス動作において、センスアンプSA10およびSA20の各々は、伝達されているデータに基づくグローバルビット線対の電位差を差動的に増幅する。このようにセンスアンプSA10およびSA20においては、予め伝達された電荷をラッチしてセンス動作を実行する。

【0096】このようなセンス動作を行なう場合には、

14

センス動作において、センスアンプSA10とグローバルビット線対GBL1, ZGBL1とが切離され、センスアンプSA20とグローバルビット線対GBL2, ZGBL2とが切離される。

【0097】このため、グローバルビット線対GBL1, ZGBL1およびGBL2, ZGBL2の一方が分割されることにより生じる読出マージンの差を抑止することができる。

【0098】このようなスイッチT11～T22は、階層ビット線を備えていない従来の半導体記憶装置にも適用可能である。しかし、そのような従来の半導体記憶装置では、メモリセルの各ブロックにセンスアンプが設けられているため、前述のようなスイッチT11～T22が各ブロックごとに必要となる。

【0099】このため、そのような場合には、チップ面積が増加するという不都合が生じる。したがって、第2実施例のような構成は、センスアンプの数が少ない構成となっている階層ビット線を備えた半導体記憶装置に適用することに意義がある。

#### 20 【0100】第3実施例

次に第3実施例について説明する。この第3実施例においては、隣合うグローバルビット線対を分割可能とし、かつ、グローバルビット線対に対応するセンスアンプを切換えて使用する例について説明する。

【0101】図4は、第3実施例による階層ビット線を備えた半導体記憶装置の要部の構成を示す模式的回路図である。この図4において図1のものと共通する部分には同一の参照符号を付し、その説明を省略する。

【0102】図4の半導体記憶装置が図1のものと異なるのは次の点である。センスアンプSA1およびSA2の各々が、グローバルビット線対GBL1, ZGBL1およびGBL2, ZGBL2の双方に対応して設けられる。

【0103】グローバルビット線対GBL1, ZGBL1およびGBL2, ZGBL2と、センスアンプSA1との間に、切換スイッチ回路SW10が設けられる。グローバルビット線対GBL1, ZGBL1およびGBL2, ZGBL2と、センスアンプSA2との間に、切換スイッチ回路SW20が設けられる。

【0104】センスアンプSA1は、制御信号φ11を受け、その制御信号φ11にตอบสนองしてセンス動作を行なう。センスアンプSA2は、制御信号φ12を受け、その制御信号φ12にตอบสนองしてセンス動作を行なう。

【0105】切換スイッチ回路SW10は、センスアンプSA1およびグローバルビット線対GBL1, ZGBL1を接続する第1の接続状態と、センスアンプSA1およびグローバルビット線対GBL2, ZGBL2を接続する第2の接続状態とを選択的に形成する。この切換スイッチ回路SW10は、制御信号φ21を受け、その信号にตอบสนองして、前記第1の接続状態と前記第2の接続

状態とを切換える。

【0106】切換スイッチ回路SW20は、センスアンプSA2およびグローバルビット線対GBL1、ZGBL1を接続する第1の接続状態と、センスアンプSA1およびグローバルビット線対GBL2、ZGBL2を接続する第2の接続状態とを選択的に形成する。この切換スイッチ回路SW20は、制御信号φ22を受け、その信号に応答して前記第1の接続手段と前記第2の接続状態とを切換える。

【0107】この半導体記憶装置は、アクセスされるメモリセルおよびリフレッシュされるメモリセルをそれぞれ判別可能なものである。詳しく説明すると、この半導体記憶装置は、たとえば、アドレスノンマルチプレクスのDRAM等のように、センス動作前に、コラムアドレスによって、アクセスするメモリセルを指定することが可能なものである。

【0108】次に、図4の半導体記憶装置の動作について説明する。まず、動作の概略について説明する。切換スイッチ回路SW1およびSW2は、アクセス対象のメモリセルからのデータの伝達が行なわれるグローバルビット線対に対応する方が、そのグローバルビット線対を分割する。一方、リフレッシュ対象のメモリセルからのデータの伝達が行なわれるグローバルビット線対に対応する方がそのグローバルビット線対を分割しない。そのような動作の制御は、前記信号φ1およびφ2に基づいて行なわれる。

【0109】切換スイッチ回路SW10は、アクセス対象のメモリセルがエリアA1に存在する場合に、そのメモリセルのデータが伝達されるグローバルビット線対とセンスアンプSA1とを接続する。

【0110】一方、アクセス対象のメモリセルがエリアA2に存在する場合に、切換スイッチ回路SW10は、リフレッシュ対象のメモリセルのデータが伝達されるグローバルビット線対とセンスアンプSA1とを接続する。このような制御は、制御信号φ21に基づいて行なわれる。

【0111】切換スイッチ回路SW20は、アクセス対象のメモリセルがエリアA2に存在する場合に、そのメモリセルのデータが伝達されるグローバルビット線対とセンスアンプSA2とを接続する。

【0112】一方、アクセス対象のメモリセルがエリアA1に存在する場合に、切換スイッチ回路SW20は、リフレッシュ対象のメモリセルのデータが伝達されるグローバルビット線対とセンスアンプSA2とを接続する。このような制御は、制御信号φ22に基づいて行なわれる。

【0113】このように、アクセス対象のメモリセルのデータは、センスアンプSA1およびSA2のうちの近い位置の方のセンスアンプに伝達され、リフレッシュ対象のメモリセルのデータは、遠い位置の方のセンスア

ンプに伝達される。

【0114】そして、アクセス対象のメモリセルのデータが伝達されたグローバルビット線対に接続されたセンスアンプが、リフレッシュ対象のメモリセルからのデータが伝達されたグローバルビット線対に接続されたセンスアンプよりも先にセンス動作を行なう制御がなされる。そのような制御は、制御信号φ11およびφ12に基づいて行なわれる。

【0115】次に、詳細な動作について説明する。ここでは、たとえば、ワード線WL11が活性化される場合に、そのワード線WL11に接続されるメモリセルMC1がアクセスの対象として指定され、そのワード線WL11に接続されるメモリセルMC2がリフレッシュの対象として指定される状態について説明する。

【0116】この場合には、ビット線分割スイッチ回路SW1のスイッチ11および12がともにオフし、ビット線分割スイッチ回路SW2のスイッチ21および22がともにオンする。

【0117】そして、切換スイッチ回路SW10がセンスアンプSA1とグローバルビット線対GBL1、ZGBL1とを接続し、切換スイッチ回路SW20がセンスアンプSA2とグローバルビット線対GBL2、ZGBL2とを接続する。この場合には、グローバルビット線対GBL1、ZGBL1の容量が、グローバルビット線対GBL2、ZGBL2の容量の1/2の値になる。

【0118】このような接続態様により、メモリセルMC1からグローバルビット線対GBL1、ZGBL1に伝達されたデータは、センスアンプSA1に伝達される。一方、メモリセルMC2からグローバルビット線対GBL2、ZGBL2に伝達されたデータはセンスアンプSA2に伝達される。そして、この場合には、センスアンプSAがセンスアンプSA2よりも先にセンス動作を行なう。

【0119】次に、ワード線WL11が活性化される際に、メモリセルMC1がリフレッシュ対象として指定され、メモリセルMC2がアクセス対象として指定された場合について説明する。

【0120】この場合には、ビット線分割スイッチ回路SW1のスイッチ11および12がともにオンし、ビット線分割スイッチ回路SW2のスイッチ21および22がともにオンする。

【0121】そして、切換スイッチ回路SW10がセンスアンプSA1とグローバルビット線対GBL2、ZGBL2とを接続し、切換スイッチ回路SW20がセンスアンプSA2とグローバルビット線対GBL1、ZGBL1とを接続する。この場合には、グローバルビット線対GBL2、ZGBL2の容量が、グローバルビット線対GBL1、ZGBL1の容量の1/2の値になる。

【0122】このような接続態様により、メモリセルMC1からグローバルビット線対GBL1、ZGBL1に

伝達されたデータはセンスアンプSA2に伝達される。

一方、メモリセルMC2からグローバルビット線対GBL2、ZGBL2に伝達されたデータはセンスアンプSA1に伝達される。そして、この場合には、センスアンプSA1がセンスアンプSA2よりも先にセンス動作を行なう。

【0123】このように、図4に示される半導体記憶装置においては、アクセス対象のメモリセルのデータが、近い方のセンスアンプに伝達され、リフレッシュ対象のメモリセルのデータが、遠い方のセンスアンプに伝達される。したがって、アクセス対象のメモリセルのデータは常に高速でセンスアンプに伝達される。

【0124】この場合、リフレッシュ対象のメモリセルのデータは、アクセス対象のメモリセルのデータのように高速で伝達されないが、リフレッシュの場合のデータの伝達は高速性が要求されないため、特に不都合はない。

【0125】この第3実施例で説明した半導体記憶装置では、第1実施例で説明した消費電流の低減および動作マージンの向上の効果に加えて次のような効果がさらに得られる。すなわち、第3実施例の半導体記憶装置においては、アクセス対象のメモリセルのデータが常に近い方のセンスアンプに伝達されることによりアクセス対象のメモリセルのデータの伝達を高速化することができる。そして、リフレッシュ対象のメモリセルのデータが伝達されるグローバルビット線対がノイズシールドの役割をするため、グローバルビット線対の線間容量に起因するノイズの影響を受けにくくすることができる。

【0126】

【発明の効果】請求項1に記載の本発明によれば、主ビット線対における分割位置よりもセンスアンプ手段に近い部分に接続される副ビット線対からのメモリセルのデータの伝達が行なわれる場合に、主ビット線対を分割するようにした。

【0127】このため、主ビット線対の容量は、主ビット線対が分割される場合に、分割されない場合よりも小さくなる。したがって、線間容量に起因するノイズの影響を受けにくくことができ、動作マージンを向上させることができる。さらに、消費電流を減少させることもできる。

【0128】請求項2に記載の本発明によれば、1つのワード線が選択された場合に、第1および第2の主ビット線対の一方が分割される。このため、これらの主ビット線対の各々の容量は、分割された場合に、分割されない場合よりも小さくなり、第1のビット線対と第2のビット線対との間の線間容量も小さくなる。したがって、隣り合う主ビット線対を1つの単位と見た場合に、その単位において、線間容量に起因するノイズの影響を受けにくくことができ、動作マージンを向上させることができる。さらに、消費電流を減少させることもでき

る。

【0129】請求項3に記載の本発明によれば、第1および第2のセンスアンプ手段による増幅が行なわれる際に、第1および第2のスイッチ手段のそれぞれによって、第1および第2の主ビット線対と、第1および第2のセンスアンプ手段との対応するものが第1および第2のスイッチ手段によって切離される。

【0130】このため、第1および第2のセンスアンプ手段のそれぞれは、対応するグローバルビット線対の電位差の増幅動作時に、ビット線容量の影響を受けなくなる。このため、線間容量に起因するノイズの影響を受けにくくすること、動作マージンを向上させることおよび消費電流を減少させることに加えて、第1および第2のセンスアンプ手段の増幅動作時の読出マージンを、第1および第2の主ビット線対の間で異ならなくすることができる。

【0131】請求項4に記載の本発明によれば、分割される主ビット線対に伝達されたアクセス対象のメモリセルのデータは、第1および第2のセンスアンプ手段のうちの近いものに伝達され、一方、分割されていない主ビット線対に伝達されたリフレッシュ対象のメモリセルのデータは、第1および第2のセンスアンプ手段のうちの遠いものに伝達されるようにした。このため、アクセス対象のメモリセルのデータを、リフレッシュ対象のメモリセルのデータよりも常に早くセンスアンプ手段に伝達させることができる。

【0132】したがって、ノイズの影響を受けにくくすること、動作マージンを向上することおよび消費電流を減少させることに加えて、アクセス対象のメモリセルのデータのセンスアンプ手段への伝達速度を、常に、リフレッシュ対象のメモリセルのデータのセンスアンプ手段への伝達速度よりも速くすることができる。

【0133】請求項5に記載の本発明によれば、第1のセンスアンプ手段の動作時期と第2のセンスアンプ手段の動作時期とが異なる。このため、たとえば、アクセス対象のメモリセルが伝達される主ビット線対の増幅動作が、リフレッシュ対象のメモリセルが伝達される主ビット線対の増幅動作よりも先に行なわれる場合には、後に増幅動作が行なわれる対象の主ビット線対が、先に増幅動作が行なわれる対象の主ビット線対のノイズシールドの役割を果たすことができる。したがって、請求項4に記載の発明の効果に加えて、さらにノイズの影響を受けにくくことができ、動作マージンを向上させることができる。

【図面の簡単な説明】

【図1】 第1実施例による階層ビット線を備えた半導体記憶装置の要部の構成を示す模式的回路図である。

【図2】 図1の半導体記憶装置における動作時の容量の状態を示す模式図である。

【図3】 第2実施例による階層ビット線を備えた半導

体記憶装置の要部の構成を示す模式的回路図である。

バルビット線、MC1、MC2、メモリセル、SA1、

【図4】 第3実施例による階層ビット線を備えた半導体記憶装置の要部の構成を示す模式的回路図である。

SA2、SA10、SA20、センスアンプ、SBL

【図5】 階層ビット線を備えた従来の半導体記憶装置の要部の構成を示す模式的回路図である。

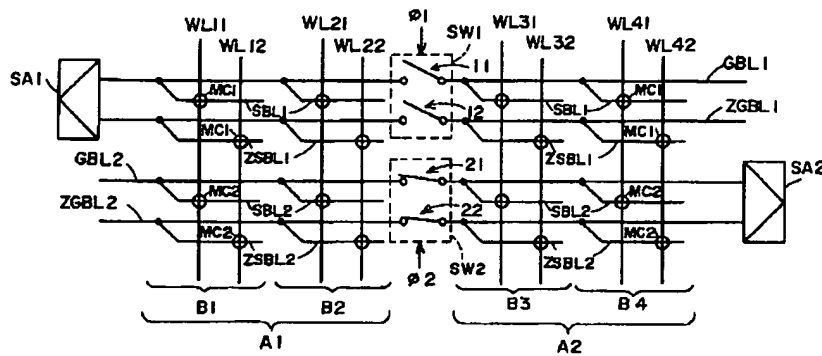
1、ZSBL1、SBL2、ZSBL2 セグメントビット線、SW1、SW2 ビット線分割スイッチ回路、

SW10、SW20 切換スイッチ回路、T11、T12、T21、T22 接続制御スイッチ、WL11～WL41 ワード線。

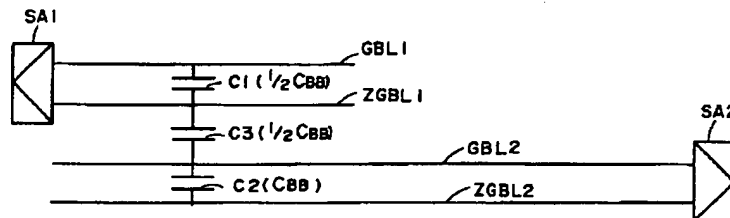
【符号の説明】

GBL1、ZGBL1、GBL2、ZGBL2 グロー

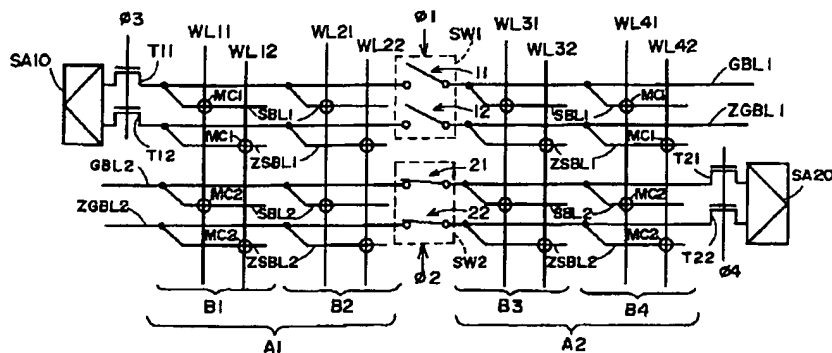
【図1】



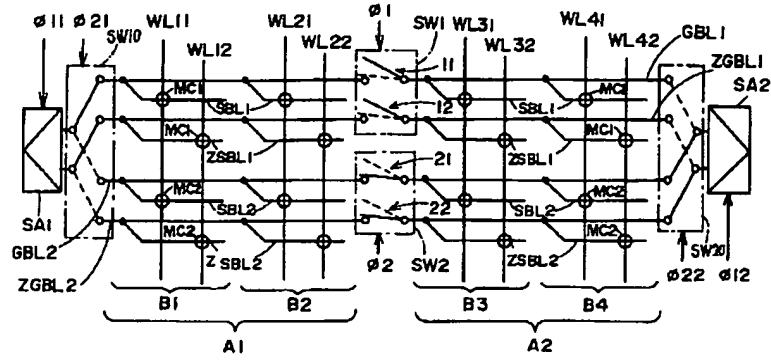
【図2】



【図3】



【図4】



【図5】

